

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-150451

(43)Date of publication of application : 28.08.1984

(51)Int.Cl.

H01L 23/02

(21)Application number : 58-024222

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.02.1983

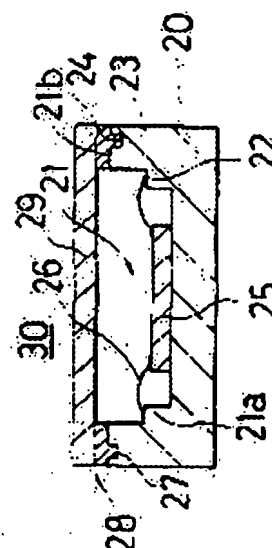
(72)Inventor : SAKURAI MASAHIKO

## (54) GLASS SEALED TYPE SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To contrive to improve the productivity without requiring a high flatness degree from a substrate and by keeping a high hermetic property by forming a groove at the peripheral edge of the substrate, and then installing a cap to the substrate via a sealed glass layer whose lower part is fitted in the groove.

CONSTITUTION: The groove 24 is formed in the upper end surface 21b of the peripheral edge 23 of the substrate 20, and a semiconductor element 25 is loaded in a recess 21. The sealed glass layer 28 is formed of low melting point glass, etc., the lid 29 has the projection 27 of said layer 28 fit into the groove 24, thus colliding with the substrate 20 and then being fixed into an integral body with the substrate 20 by heat treatment, resulting in the construction of the titled device 30. If the projection 27 is in the state of perfect close contact in the groove 24, the inside of the recess 21 can be kept at an extremely high hermetic degree, therefore there is no need to enhance the flatness degree of the upper end part 21b at the peripheral edge 23 of the substrate 20.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-150451

⑨ Int. Cl.<sup>3</sup>  
H 01 L 23/02

識別記号

庁内整理番号  
7738-5F

⑭ 公開 昭和59年(1984)8月28日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ ガラス封止型半導体装置

京芝浦電気株式会社トランジスタ工場内

⑯ 特 願 昭58-24222

⑰ 出 願 人 株式会社東芝

⑱ 出 願 昭58(1983)2月16日

川崎市幸区堀川町72番地

⑲ 発 明 者 櫻井正彦

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

ガラス封止型半導体装置

2. 特許請求の範囲

素子収容用凹部を有する基板と、該凹部内に固着された半導体素子と、該凹部を囲む前記基板の周縁部の上端面に形成された溝と、該溝内に下部を嵌入し上部を前記上端面上に形成した封止ガラス層と、該封止ガラス層を介して前記凹部を塞ぐようして前記基板に取付けられた蓋体とを具備することを特徴とするガラス封止型半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、ガラス封止型半導体装置に関する。

(発明の技術的背景)

従来、ガラス封止型半導体装置は、第1図に示すようなセラミック基板1を用いて構成されている。セラミック基板1の中央部には、素子収容用凹部2が形成されている。この凹部2を

囲む設部上には電極3が形成されている。而して、第2図(A)に示す如く、凹部2に所望の半導体素子4を装着して、この素子4と電極3間に金属細線5を架設した後、凹部2を塞ぐ大きさの封止用リッドと称せられる蓋体6を用意する。蓋体6の下面の周辺部には、凹部2を囲む周縁部に対応して低融点ガラスからなる封止ガラス層7が形成されている。この蓋体6を凹部2を塞ぐようしてセラミック基板1上に吻合し、所定温度の炉内で熱処理を施すことにより、同図(B)に示す如きガラス封止型半導体装置1\_0が組立てられている。

(背景技術の問題点)

前述のガラス封止型半導体装置1\_0では、第2図(A)に示す如く、蓋体6と基板1との位置合わせに多くの手間を要し、作製性が悪い。また、基板1を高い平坦度で形成しないと、気密度を十分に高めることができない問題があった。

(発明の目的)

本発明は、基板に高い平坦度を要求せずに、

しかも高い気密性を保持して生産性の向上を図ったガラス封止型半導体装置を提供することをその目的とするものである。

#### (発明の概要)

本発明は、素子収容用凹部を形成する基板の周縁部に溝を形成し、この溝に下部を嵌入した封止ガラス層を介して基板に蓋体を取付けたことにより、基板に高い平坦度を要求せずに、しかも高い気密性を保持して生産性の向上を図ったガラス封止型半導体装置である。

#### (発明の実施例)

以下、本発明の実施例について図面を参照して説明する。

第3図は、本発明の一実施例のガラス封止型半導体装置の基板部分を示す平面図である。この基板20は、セラミツク等の部材で形成されている。基板20の中央部には、素子収容用凹部21が形成されている。この凹部21を囲む段部21a上には、所定の間隔で電極22が形成されている。また、凹部21を囲む基板20

の周縁部23の上端面21bには、所定の溝深さの溝24が周縁部23に沿って形成されている。而して、凹部21内には、第4図(A)に示す如く所望の半導体素子25が装載されている。半導体素子25と電極22間には、金属細線26が架設されている。基板20は、溝24内に嵌入する突部27を形成した封止ガラス層28を、その裏面の周縁に設けた蓋体29と吻合するようになっている。封止ガラス層28は、低融点ガラス等で形成されている。蓋体29は、封止ガラス層28の突部27を溝24内に嵌入するようにして基板20と吻合し、所定温度の熱処理によつて同図(B)に示す如く、基板20と一体に固着してガラス封止型半導体装置30を構成する。

このように構成されたガラス封止型半導体装置30によれば、封止ガラス層28の突部27と基板20の溝24とを基準にして、蓋体29と基板20とを容易にかつ正確に吻合させることができる。その結果、組立時の作業性を著し

く向上させることができる。また、突部27が溝24内に完全に密着した状態であれば、凹部21内を極めて高い気密度に保つことができるので、基板20の周縁部23の上端面21bの平坦度を高くする必要がない。

#### (発明の効果)

以上説明した如く、本発明に係るガラス封止型半導体装置によれば、基板に高い平坦度を要求せずに、しかも、高い気密性を保持して生産性を向上させることができる等顕著な効果を実現するものである。

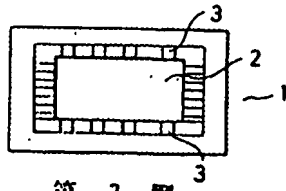
#### 4. 図面の簡単な説明

第1図は、従来のガラス封止型半導体装置の基板の平面図、第2図(A)は、同基板とこれに吻合する蓋体の関係を示す断面図、同図(B)は、従来のガラス封止型半導体装置の断面図、第3図は、本発明の一実施例のガラス封止型半導体装置の基板の平面図、第4図(A)は、同基板とこれに吻合する蓋体の関係を示す断面図、同図(B)は、本発明の一実施例の断面図である。

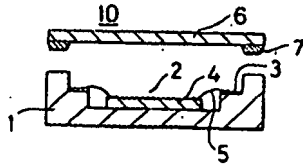
20…基板、21…凹部、21a…段部、  
21b…上端面、22…電極、23…周縁部、  
24…溝、25…半導体素子、26…金属細線、  
27…突部、28…封止ガラス層、29…蓋体、  
30…ガラス封止型半導体装置。

出願人代理人 弁理士 鈴 江 武 彦

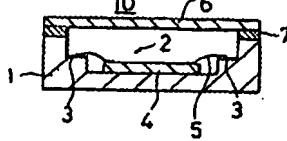
第 1 圖



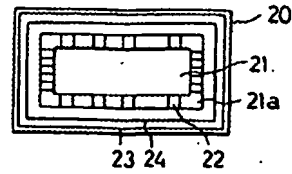
第 2 圖  
(A)



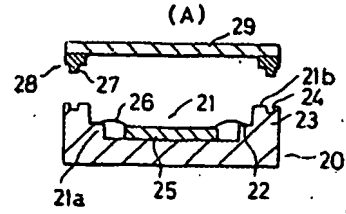
(B)



第 3 圖



第 4 圖  
(A)



(B)

